

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 04162771 A

(43) Date of publication of application: 08.06.92

(51) Int. Cl

H01L 27/088

H01L 29/784

(21) Application number: 02289412

(71) Applicant: SEIKOSHA CO LTD NIPPON  
PRECISION CIRCUITS KK

(22) Date of filing: 26.10.90

(72) Inventor: NOMURA YOSHIO

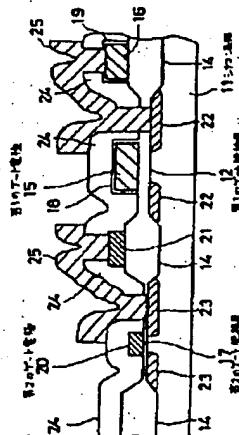
(54) MOS SEMICONDUCTOR DEVICE

COPYRIGHT: (C)1992,JPO&Japio

(57) Abstract:

PURPOSE: To speed up the operation of an MOS transistor which uses a metal gate by making thicker a gate insulating layer of an MOS transistor which uses a polysilicon gate than an insulating layer of said MOS transistor which uses the metal gate.

CONSTITUTION: A first MOS transistor is provided with a first gate insulating layer 12 formed on a silicon substrate 11 and a first gate electrode 15 formed on the first gate insulating layer 12. A second MOS transistor is provided with a second gate insulating layer 17 and a second gate electrode 20 formed on the second gate insulating layer 17. The first gate electrode is formed based on the application of polysilicon while the second gate electrode 20 is formed based on the application of metal where the thickness of the first gate insulating layer 12 is arranged to exceed the thickness of the second gate insulating layer 17. This construction makes it possible to speed up the operation of the MOS type transistor which uses the metal gate.



## ⑯ 公開特許公報 (A) 平4-162771

⑮ Int. Cl. 5

H 01 L 27/088  
29/784

識別記号

庁内整理番号

⑯ 公開 平成4年(1992)6月8日

7735-4M H 01 L 27/08 102 C  
8422-4M 29/78 301 G

審査請求 未請求 請求項の数 3 (全4頁)

⑯ 発明の名称 MOS型半導体装置

⑯ 特願 平2-289412

⑯ 出願 平2(1990)10月26日

⑯ 発明者 野村吉雄 東京都中央区八丁堀4丁目5番4号 日本プレシジョン・

サーキツ株式会社内

⑯ 出願人 株式会社精工舎 東京都中央区京橋2丁目6番21号

⑯ 出願人 日本プレシジョン・サ  
ー キツ株式会社 東京都中央区八丁堀4丁目5番4号

⑯ 代理人 弁理士 松田和子

## 明細書

ているMOS型半導体装置。

(2) 上記第1のゲート絶縁層の層厚は上記第2のゲート絶縁層の層厚の2倍以上である。

請求項1記載のMOS型半導体装置。

(3) 上記第2のゲート電極は高融点金属を用いて形成されている。

請求項1記載のMOS型半導体装置。

## 1. 発明の名称

MOS型半導体装置

## 2. 特許請求の範囲

(1) シリコン基板上に形成された第1のゲート絶縁層と上記第1のゲート絶縁層上に形成された第1のゲート電極とを有する第1のMOS型トランジスタと、

上記シリコン基板上に形成された第2のゲート絶縁層と上記第2のゲート絶縁層上に形成された第2のゲート電極とを有する第2のMOS型トランジスタと、

からなり、

上記第1のゲート電極はポリシリコンを用いて形成され、

上記第2のゲート電極は金属を用いて形成され、上記第1のゲート絶縁層の層厚は上記第2のゲート絶縁層の層厚よりも厚く形成され

## 3. 発明の詳細な説明

## 【産業上の利用分野】

本発明はMOS型半導体装置に関する。

## 【従来の技術】

ポリシリコンをゲートに用いたMOS型トランジスタでは、ポリシリコンの抵抗率が高いため、高速動作を行うことが難しい。そこでこの問題を解決するため、特開昭62-196864号公報には、ポリシリコンゲートを用いたMOS型トランジスタと金属ゲートを用いたMOS型トランジスタと同一の半導体基板に集積化したものが開示されている。上記公報に開示された半導体装置

では、両トランジスタのゲート絶縁層の厚さは互いに等しくなっている。

【解決しようとする課題】

したがって、ポリシリコンゲートを用いたMOS型トランジスタの電源電圧を金属ゲートを用いたMOS型トランジスタの電源電圧よりも高くした場合には、ゲート絶縁層の絶縁破壊電圧はポリシリコンゲートを用いたMOS型トランジスタによって決まる。そのため、ゲート絶縁層の厚さはポリシリコンゲートを用いたMOS型トランジスタによって制限されることになり、金属ゲートを用いたMOS型トランジスタの高速動作が妨げられていた。

本発明の目的は、ポリシリコンゲートを用いたMOS型トランジスタと金属ゲートを用いたMOS型トランジスタとを同一の半導体基板に形成したとき、金属ゲートを用いたMOS型トランジスタの高速動作を達成することである。

【課題を解決するための手段】

本発明は、ポリシリコンゲートを用いたMOS

型トランジスタのゲート絶縁層を金属ゲートを用いたMOS型トランジスタのゲート絶縁層よりも厚くしたものである。

【実施例】

第1図(A)～(G)は、本発明におけるMOS型半導体装置の製造プロセスを示した断面図である。

第1図(G)において、11はシリコン基板、12は第1のゲート絶縁層、14はLOCOS(Local Oxidation)構造のフィールド絶縁層、15はポリシリコンを用いた第1のゲート電極、16は第1のゲート電極15と同時に形成される第1の配線層、17は第2のゲート絶縁層、18および19は酸化シリコン層、20はモリブデンやチタン等の高融点金属を用いた第2のゲート電極、21は第2のゲート電極20と同時に形成される第2の配線層、22は第1のソース・ドレイン、23は第2のソース・ドレイン、24は層間絶縁層、25はアルミニウムを用いた第3の配線層である。

シリコン基板11表面を露出させる。

(D) 热酸化処理を行い、酸化シリコン層(第2のゲート絶縁層)17を形成する。この第2のゲート絶縁層17の厚さは25nmである。この热酸化処理により、第1のゲート電極15および第1の配線層16の表面も酸化され、酸化シリコン層18および19が形成される。

(E) 全面にモリブデンやチタン等の高融点金属層を形成した後、これを選択的にエッチングして、第2のゲート電極20および第2の配線層21を形成する。第2のゲート電極20および第2の配線層21は、同一工程で同時に形成される。

(F) 第1のゲート電極15および第2のゲート電極20をマスクに用いて不純物(リン、ヒ素等)のイオン注入を行い、第1のソース・ドレイン22および第2のソース・ドレイン23を形成する。つぎに、CVD法によりPSG(リンをドープしたシリケイトガラス)を全面に形成し、層間絶縁層24を形成する。

第1のゲート絶縁層12、第1のゲート電極15および第1のソース・ドレイン22は第1のMOS型トランジスタを構成するものであり、第2のゲート絶縁層17、第2のゲート電極20および第2のソース・ドレイン23は第2のMOS型トランジスタを構成するものである。

つぎに、第1図(A)～(G)を参照して、製造プロセスの説明をする。

(A) LOCOS構造のフィールド絶縁層14を形成した後、シリコン半導体基板11の表面を热酸化して、酸化シリコン層12(第1のゲート絶縁層)および13を形成する。この酸化シリコン層12(第1のゲート絶縁層)および13の厚さは100nmである。

(B) 全面にポリシリコン層を形成した後、これを選択的にエッチングして、第1のゲート電極15および第1の配線層16を形成する。第1のゲート電極15および第1の配線層16は、同一工程で同時に形成される。

(C) 酸化シリコン層13をエッチングして、

(G) 第1のゲート絶縁層12、第2のゲート絶縁層17および層間絶縁層24を選択的にエッチングしてコンタクトホールを形成する。引き続きアルミニウムを全面に形成し、これを選択的にエッチングしてして、第3の配線層25を形成する。

以上のようにして、第1図(G)に示すMOS型半導体装置が作成される。

ところで、第1のMOS型トランジスタはアナログ回路用に用いられ、第2のMOS型トランジスタは高速動作を要求されるデジタル回路用に用いられる。そして、第1のMOS型トランジスタの電源電圧(例えば+5V)は、第2のMOS型トランジスタの電源電圧(例えば±15V)の数倍以上である。したがって、第1のゲート絶縁層12および第2のゲート絶縁層17に、ゲート絶縁層の絶縁破壊が生じない最大電界が印加されるよう各電源電圧を設定すると、第1のゲート絶縁層12の層厚は第2のゲート絶縁層17の層厚の数倍以上必要になる。一般的にポリシリコンゲート

に対する上記最大電界は約3MV/cm、金属ゲートに対する上記最大電界は約2MV/cmであることを考慮すると、第1のゲート絶縁層12の層厚は第2のゲート絶縁層17の層厚の少なくとも2倍以上であることが好ましい。

#### 【効果】

本発明では、ポリシリコンゲートを用いたMOS型トランジスタのゲート絶縁層を金属ゲートを用いたMOS型トランジスタのゲート絶縁層よりも厚くしたため、金属ゲートを用いたMOS型トランジスタの高速動作が達成できる。

#### 4. 図面の簡単な説明

第1図(A)～(G)は本発明におけるMOS型半導体装置の製造プロセスを示した断面図である。

11……半導体基板

12……第1のゲート絶縁層

15……第1のゲート電極

17……第2のゲート絶縁層

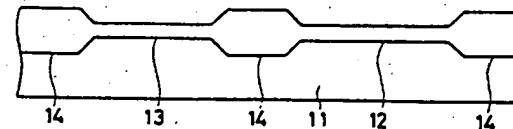
20……第2のゲート電極

以上

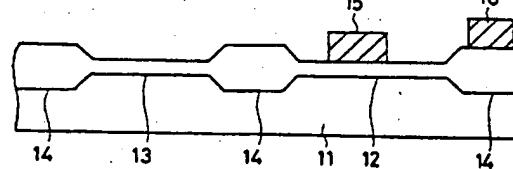
出願人 株式会社 精工合  
日本プレシジョン・  
サー・キット株式会社

代理人 弁理士 松田和子

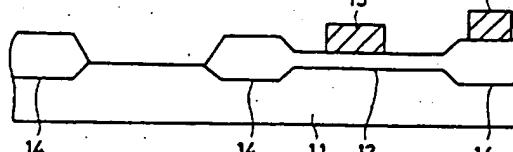
第1図(A)



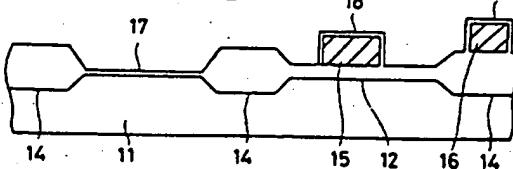
第1図(B)



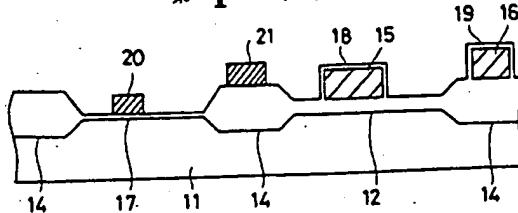
第1図(C)



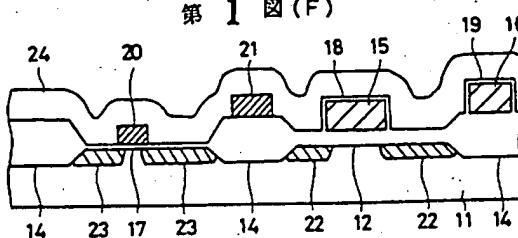
第1図(D)



第1図(E)



第1図(F)



第1図(G)

